

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-194713

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

G09F 9/00
G02F 1/133
G09G 3/36

(21)Application number : 09-368561

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 26.12.1997

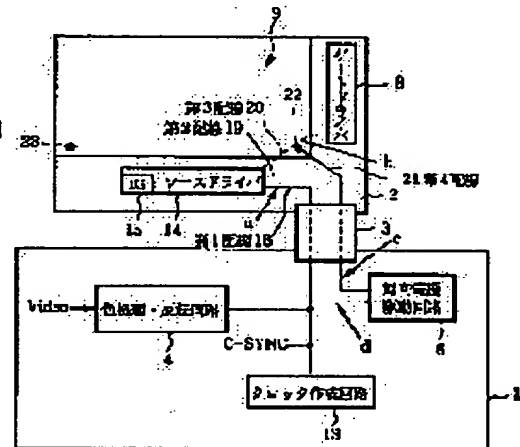
(72)Inventor : USUI MINORU

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device capable of making a control reduction in the substrate small in size, short in manufacturing processes and low in cost, and further capable of improving display performance.

SOLUTION: This liquid crystal display device has a control substrate 1, a glass substrate 2, and FPC 3 (flexible printed circuit) whose both ends are connected with both of the substrates 1, 2. On the glass substrate 2, a source driver 14 and a gate driver 8 are packaged and also a TFT panel 9 driven by both of these drivers 8, 14 are arranged. A timing generation circuit(TG) 15 is incorporated in the source driver 14, and the source driver 14 is connected to a color processing and inverting circuit 4, a clock generating circuit 13 and a counter electrode driving circuit 6. Moreover, the source driver 14 and the gate driver 8 are connected to each other through a 3rd wiring 20, and a control signal from the timing generation circuit 15 is supplied to the gate driver 8 through the 3rd wiring 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-194713

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁸

識別記号

F I

G 0 9 F 9/00

3 4 6

G 0 9 F 9/00

3 4 6 D

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5

G 0 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数5 F D (全 6 頁)

(21) 出願番号

特願平9-368561

(22) 出願日

平成9年(1997)12月26日

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 臼井 実

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

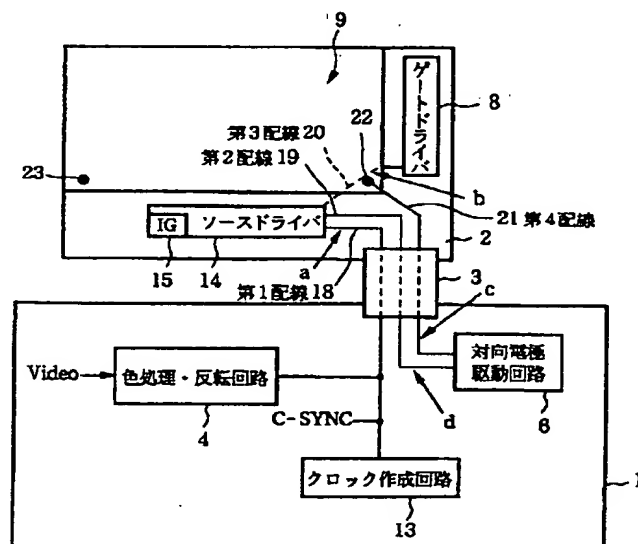
(74) 代理人 弁理士 三好 千明

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 制御基板の小型化及び製造工程の短縮化とコストの低減を図ることができ、さらには表示性能の向上を図ることのできる表示装置を提供する。

【解決手段】 液晶表示装置は、コントロール基板1とガラス基板2、及びこの両基板1、2に両端部を接続されたFPC3とを有している。ガラス基板2には、ソースドライバ14とゲートドライバ8とが実装されるとともに、これら両ドライバ8、14により駆動されるTFTパネル9が配置されている。ソースドライバ14には、タイミング発生回路(TG)15が内蔵されており、ソースドライバ14は、色処理・反転回路4とクロック作成回路13、及び対向電極駆動回路6に接続されている。また、ソースドライバ14とゲートドライバ8とは、第3配線20にて接続されており、タイミング発生回路15からの制御信号は、第3配線20を介してゲートドライバ8に供給される。



【特許請求の範囲】

【請求項1】 所定のタイミングで動作するドライブ回路と、このドライブ回路により駆動されて表示動作する表示パネルとを備えた表示装置において、前記ドライブ回路の動作タイミングを制御する制御手段を、当該ドライブ回路に設けたことを特徴とする表示装置。

【請求項2】 所定のタイミングで動作するドライブ回路と、このドライブ回路により駆動されて表示動作する表示パネルとを備え、前記ドライブ回路が前記表示パネルの構成部材に配置された表示装置において、前記表示パネルの構成部材に、前記ドライブ回路の動作タイミングを制御する制御手段を設けたことを特徴とする表示装置。

【請求項3】 前記ドライブ回路は、前記表示パネルの走査線を駆動するゲートドライバと信号線を駆動するソースドライバとで構成され、いずれか一方のドライバに前記制御手段を設けるとともに、他方のドライバに該制御手段からの制御信号を供給するようにしたことを特徴とする請求項1又は2記載の表示装置。

【請求項4】 表示パネルの走査線を駆動するゲートドライバと信号線を駆動するソースドライバとを接続する接続配線を、前記両ドライバが設けられた前記表示パネルの相対向する一方の基板に形成し、該一方の基板に供給されるべき信号を相対向する他方の基板側に回り込ませて、該他方の基板側から供給するようにしたことを特徴とする表示装置。

【請求項5】 前記ソースドライバに前記両ドライバの動作タイミング制御する制御手段を設け、前記接続配線を介して前記制御手段の制御信号を前記ゲートドライバに供給するようにしたことを特徴とする請求項4記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像等を表示する表示装置に関する。

【0002】

【従来の技術】従来の表示装置として、図3～5に示す液晶表示装置が知られている。この液晶表示装置は、図3に示すように、コントロール基板1とガラス基板2、及びこの両基板1、2に両端部を接続されたFPC (flexible printed circuit) 3とを有している。コントロール基板1には、色処理・反転回路4、タイミング発生回路5、及びこのタイミング発生回路5に接続された対向電極駆動回路6が配置されている。

【0003】ガラス基板2には、ソースドライバ7とゲートドライバ8とがCOG (chip on glass) 実装されているとともに、これら両ドライバ7、8により駆動されるTFTパネル9が配置されている。そして、ソースドライバ7は、FPC3を介して色処理・反転回路4と

タイミング発生回路5とに接続され、ゲートドライバ8は、FPC3を介してタイミング発生回路5に接続されている。

【0004】前記TFTパネル9は、図4に示すように、下部のトランジスタ生成基板10とこのトランジスタ生成基板10に対向する対向ガラス基板11とを有している。対向ガラス基板11側に配置されたVCOM (対向電極駆動信号) 配線16と、トランジスタ生成基板10側に配置されたCS (コンデンサ駆動信号) 配線17とは、接続クロスポイント12にて結合されている。

【0005】すなわち、TFTパネル9における1画素には、前記両ドライバ7、8からの配線の他に、図5に示すように蓄積コンデンサへの配線CSと対向電極への配線VCOMとが必要であり、一方の配線CSはトランジスタ生成基板10の上面に設けられ、他方の配線VCOMは対向ガラス基板11の下面に設けられる。また、通常VCOMとCSは同一の信号が用いられており、したがって図4をもって前述したように、CS配線17とVCOM配線16とは、接続クロスポイント12にて結合されている。

【0006】かかる構成において、色処理・反転回路4は入力されるビデオ信号をRGBの映像データに変換するとともに、反転処理して交流化し、タイミング発生回路5は、同期信号C-SYNCの同期をとって動作し制御信号を生成出力する。これにより、ソースドライバ7には色処理・反転回路4からのRGB信号とタイミング発生回路5からの制御信号とからなるソースドライバ制御信号aが供給され、ゲートドライバ8にはタイミング発生回路からゲートドライバ制御信号bが供給される。また、対向電極駆動回路6には、タイミング発生回路5からVCOM作成用信号dが供給され、これに応答して対向電極駆動回路6は対向電極駆動信号cを生成出力する。この対向電極駆動信号cは、接続クロスポイント12を介してCS配線17とVCOM配線16とに供給されて、コンデンサ駆動信号CS及び対向電極駆動信号VCOMとして機能する。

【0007】

【発明が解決しようとする課題】しかしながら、かかる従来の液晶表示装置にあつては、図3に示したように、両ドライバ7、8とタイミング発生回路5とが別のLSIで構成されているとともに、タイミング発生回路5がコントロール基板1に配置され、両ドライバ7、8がガラス基板2に配置されている。したがって、コントロール基板1には、タイミング発生回路5を構成するタイミング発生LSI等の実装面積が必要となり、その結果基板が大型化してしまう。

【0008】また、コントロール基板1とガラス基板2との間に、FPC3を介して多数の制御信号線を接続する必要がある。すなわち、コントロール基板1からFP

C3を介してガラス基板2上に入力される信号は、前記ソースドライバ制御信号aとして、少なくともクロック信号MCLK、スタート信号SRT、クリア信号CLR、出力イネーブルOE、及び各映像信号R、G、Bの7種であり、まずは7本の信号線が必要となる。また、ゲートドライバ制御信号bとして、ゲートクロックGPK、ゲートスタート信号GSRT、ゲート出力イネーブルGRESの3種であり、3本の信号線が必要となる。さらに、対向電極駆動信号(VCOM)d用の信号線も必要となることから、少なくとも計11本の信号線が必要となる。したがって、かかる多数の信号線の配線が不可欠となることにより、製造工程の長大化及びコスト増を招いてしまう。

【0009】さらに、これらコントロール基板1側から多数の制御信号が、該コントロール基板1、FPC3及びガラス基板2上の配線で引き回されることから、遅延量が信号間でばらついてしまい、その結果、液晶表示装置の表示性能が劣化し、場合によっては誤作動が生じてしまう。

【0010】本発明は、このような従来の課題に鑑みてなされたものであり、制御基板を小型化し得るとともに製造工程の短縮化とコストの低減を図ることができ、さらには表示性能の向上を図ることのできる表示装置を提供することを目的とするものである。

【0011】

【課題を解決するための手段】前記課題を解決するために請求項1記載の発明にあつては、所定のタイミングで動作するドライブ回路と、このドライブ回路により駆動されて表示動作する表示パネルとを備えた表示装置において、前記ドライブ回路の動作タイミングを制御する制御手段を当該ドライブ回路に設けてある。したがって、他の回路からドライブ回路にその動作タイミングを制御するための制御信号を供給する必要がなく、該制御信号を供給するための配線が不要となるとともに、他の回路の規模を縮小し得る。

【0012】また、請求項2記載の発明にあつては、所定のタイミングで動作するドライブ回路と、このドライブ回路により駆動されて表示動作する表示パネルとを備え、前記ドライブ回路が前記表示パネルの構成部材に配置された表示装置において、前記表示パネルの構成部材に、前記ドライブ回路の動作タイミングを制御する制御手段を設けてある。したがって、他の回路から表示パネルの構成部材にドライブ回路の動作タイミングを制御するための制御信号を供給する必要がなく、該制御信号を供給するための配線が不要となるとともに、他の回路の規模を縮小し得る。

【0013】また、請求項3記載の発明にあつては、前記ドライブ回路は、前記表示パネルの走査線を駆動するゲートドライバと信号線を駆動するソースドライバとで構成され、いずれか一方のドライバに前記制御手段を設

けるとともに、他方のドライバに該制御手段からの制御信号を供給するようにしてある。したがって、他の回路から両ドライバの動作タイミングを制御するための制御信号を供給されずとも、両ドライバを所定の動作タイミングで動作させ得る。

【0014】また、請求項4記載の発明にあつては、表示パネルの走査線を駆動するゲートドライバと信号線を駆動するソースドライバとを接続する接続配線を、前記両ドライバが設けられた前記表示パネルの相対向する一方の基板に形成し、該一方の基板に供給されるべき信号を相対向する他方の基板側に回り込ませて、該他方の基板側から供給するようにしてある。したがって、前記接続配線と前記一方の基板に供給されるべき信号用の配線とを、該一方の基板上の同一平面上で交差しない状態で配置することが可能となる。よって、一方の基板を多層にする必要がなく、クロストークの発生も回避される。

【0015】また、請求項5記載の発明にあつては、前記ソースドライバに前記両ドライバの動作タイミング制御する制御手段を設け、前記接続配線を介して前記制御手段の制御信号を前記ゲートドライバに供給するようにしてある。したがって、前述のように、他の回路からの制御信号を供給するための配線を不要としかつ他の回路の規模を縮小しつつ、前記クロストークの発生が防止される。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図に従って説明する。すなわち、本実施の形態にかかる液晶表示装置は、図1に示すように、コントロール基板1とガラス基板2、及びこの両基板1、2に両端部を接続されたFPC3とを有している。コントロール基板1には、ビデオ信号を映像データに変換し反転処理する色処理・反転回路4、所定周波数のクロック信号を生成出力するクロック作成回路13、及び対向電極駆動回路6が配置されている。

【0017】ガラス基板2には、ソースドライバ14とゲートドライバ8とがCOG実装されているとともに、これら両ドライバ8、14により駆動されるTFTパネル9が配置されている。また、ソースドライバ14には、タイミング発生回路(TG)15が内蔵されている。そして、ソースドライバ14は、第1配線18にて、FPC3を介して、色処理・反転回路4とクロック作成回路13とに接続されているとともに、第2配線19にて対向電極駆動回路6に接続されている。

【0018】前記TFTパネル9は、図2に示すように、下部のトランジスタ生成基板10とこのトランジスタ生成基板10に対向する上部の対向ガラス基板11とを有している。この対向ガラス基板11の下面には、VCOM(対向電極駆動信号)配線16が配設され、トランジスタ生成基板10の上面には、CS(コンデンサ駆動信号)配線17と第3配線20、及び第4配線21が

配設されている。

【0019】VCOM配線16の一端部16aは、トランジスタ生成基板10の上面から立ち上がる第1接続クロスポイント22にて、前記第4配線21及びFPC3を介して対向電極駆動回路6に接続されている。また、VCOM配線16の他端部16bは、対向ガラス基板11の下面から立ち下がる第2接続クロスポイント21にて、CS配線17の対応する他端部17bに接続されている。さらに、前記第3配線22は、その一端部がソースドライバ14に他端部がゲートドライバ8に各々接続されている。

【0020】かかる構成において、色処理・反転回路4は入力されるビデオ信号をRGBの映像データに変換するとともに、反転処理して交流化する。この交流化された映像データRGBと同期信号C-SYNC、及びクロック作成回路13から生成されたクロック信号とは、第1配線18よりソースドライバ制御信号aとしソースドライバ14に供給される。

【0021】すると、ソースドライバ7がこのソースドライバ制御信号aに基づき動作するとともに、内蔵されているタイミング発生回路15が動作し、ソースドライバ14からは、第2配線19を介して対向電極駆動回路6にVCOM作成用信号dが供給され、かつ第3配線20を介してゲートドライバ8にゲートドライバ制御信号bが供給される。

【0022】前記VCOM作成用信号dが供給されると、対向電極駆動回路6はこれにตอบสนองして、対向電極駆動信号cを生成出力する。この対向電極駆動信号cは、第1接続クロスポイント22を介してCS配線17に供給された後、第2接続クロスポイント23介してVCOM配線16とに供給されて、コンデンサ駆動信号CS及び対向電極駆動信号VCOMとして機能する。

【0023】ここで、タイミング発生回路15は、ガラス基板2側のソースドライバ14に内蔵されていることから、従来のようにコントロール基板1にタイミング発生LSIを配置する必要はない。よって、コントロール基板1にこれらの実装面積を確保する必要がなく、その結果基板を小型化して撮像装置の小型化を促進することができる。

【0024】また、タイミング発生回路15がガラス基板2側に配置されることから、コントロール基板1とガラス基板2との間に必要な制御信号線が減少する。すなわち、コントロール基板1からFPC3を介してガラス基板2上に入力される信号としては、色処理・反転回路4からの各映像信号R、G、B、クロック作成回路13からのクロック入力CK、同期信号C-SYNC、VCOM作成用信号FRP（信号d）、及び対向電極駆動信号VCOM（信号c）の7種であり計7本の信号線があればよい。よって、コントロール基板1とガラス基板2との間に必要な制御信号線が減少し、これに伴って、製

造工程の短縮化及びコストの低減を図ることができる。

【0025】しかも、図2（B）に明示したように、対向電極駆動回路6に接続される第4配線21を、第1接続クロスポイント22にてVCOM配線16の一端部16aに接続し、VCOM配線16の他端部16bを、第2接続クロスポイント23にてCS配線17の対応する他端部17bに接続させるようにした。よって、ソースドライバ14とゲートドライバ8とを接続する第3配線20を設けても、この第3配線20が同一平面上でCS配線17と交差することはない。

【0026】つまり、図4（B）に示した従来構造において、ソースドライバ14とゲートドライバ8とを接続する第3配線20を設けたとすると、この第3配線20がトランジスタ生成基板10上でCS配線17と平面交差することとなる。したがって、両者を一層で配線することができず、多層にする必要が生ずるとともに、多層にした場合には信号間のクロストークにより、表示性能が劣化し、場合によっては誤作動が生ずる。

【0027】しかし、前述のように本実施の形態によれば、ソースドライバ14とゲートドライバ8とを接続する第3配線20を設けても、この第3配線20が同一平面上でCS配線17と交差することはないことから、多層にする必要はなく、よって、クロストークによる表示性能の劣化や誤作動が生ずることもない。したがって、トランジスタ生成基板10上にソースドライバ14とゲートドライバ8とを接続する第3配線20を設けつつ、クロストークによる表示性能の劣化や誤作動を未然に防止することが可能となる。

【0028】

【発明の効果】以上説明したように本発明は、表示パネルを駆動するドライブ回路の動作タイミングを制御する制御手段を当該ドライブ回路に設け、あるいはドライブ回路が配置された表示パネルの構成部材に、該ドライブ回路の動作タイミングを制御する制御手段を設けるようにした。よって、表示パネルを制御するコントロール基板への実装部品及び実装面積を減少させてその小型化を図ることができるとともに、コントロール基板と表示パネル間に配線される信号線の本数を減少させることができる。よって、製造工程の短縮化及びコストの低減を図ることができるのみならず、ドライブ回路の制御信号が遅延したり、遅延量が信号間でばらついてしまうこともなく、表示装置の表示性能を向上させることができる。

【0029】また、ゲートドライバとソースドライバのいずれか一方に制御手段を設けるとともに、他方のドライバに該制御手段からの制御信号を供給するようにした。よって、コントロール基板から両ドライバの動作タイミングを制御するための制御信号を供給せずとも、両ドライバを精度よく所定の動作タイミングで動作させることができ、製造工程の短縮化及びコストの低減を図りつつ、表示装置の表示性能を向上させることができる。

【0030】また、ゲートドライバとソースドライバとを接続する接続配線を、両ドライバが設けられた表示パネルの相対向する一方の基板に形成し、該一方の基板に供給されるべき信号を相対向する他方の基板側に回り込ませて、該他方の基板側から供給するようにした。したがって、接続配線と一方の基板に供給されるべき信号用の配線とを、該一方の基板上の同一平面上で交差ししない状態で配置することが可能となる。よって、一方の基板を多層にする必要がなく、クロストークの発生も防止することができ、基板を多層にすることなくかつクロストークの発生を防止しつつ、両ドライバを接続した回路を有する表示装置を得ることができることができる。

【0031】また、ソースドライバに前記両ドライバの動作タイミング制御する制御手段を設け、前記接続配線を介して前記制御手段の制御信号をゲートドライバに供給するようにしたことから、前述のように、他の回路からの制御信号を供給するための配線を不要としかつ他の

回路の規模を縮小しつつ、クロストークの発生を防止することができる。

【0032】

【図面の簡単な説明】

【図1】本発明の一実施の形態を示すブロック回路図である。

【図2】(A)はTFTパネルの平面図、(B)は(A)のB矢示図である。

【図3】従来の表示装置を示すブロック図である。

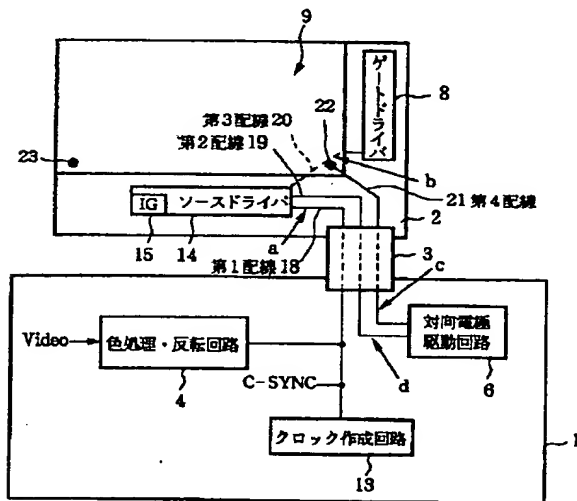
【図4】(A)は同表示装置におけるTFTパネルの平面図、(B)は(A)のB矢示図である。

【図5】同表示装置における1画素の回路図である。

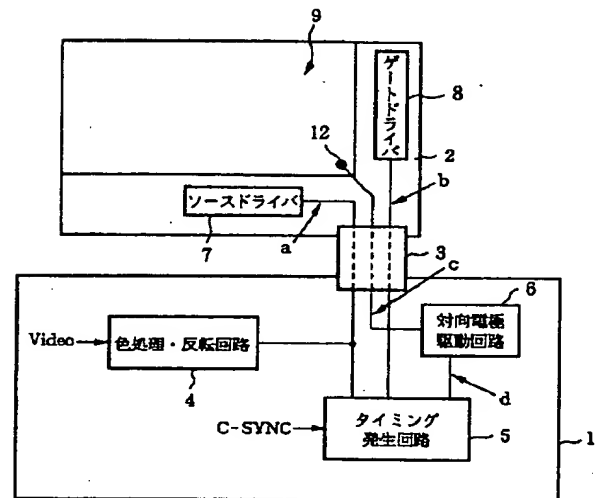
【符号の説明】

- 8 ゲートドライバ
- 9 TFTパネル
- 14 ソースドライバ
- 15 タイミング発生器

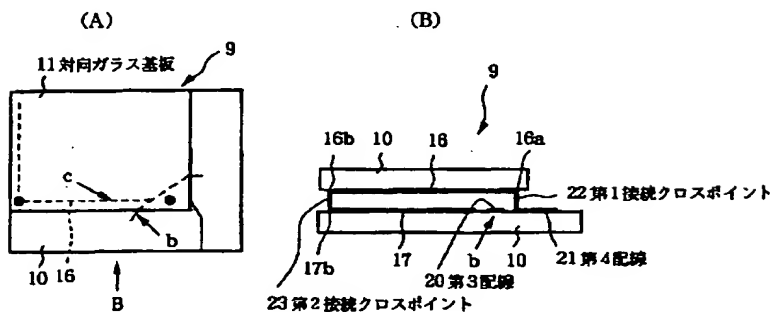
【図1】



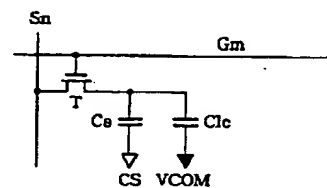
【図3】



【図2】



【図5】



(6)

【図 4】

